实验五 同步时序逻辑的分析与设计

1、实现习题5-19。完成实验以及撰写实验报告的时候应注意：（1）要按照书上设计步骤，有完整的设计过程。（2）模6计数器或者模7计数器，都需要用到3个触发器，总共8个状态。因此一定会有有效循环之外的无效状态。设计及实验需要体现自启动能力，即当系统状态预置为无效状态的时候，仍然能进入有效状态。（3）需要设计进位输出信号，输出进位信号的周期显然应为计数器的模。（4）要在逻辑分析仪上观测到上述现象。

2、请用D触发器（74LS74）实现实验五的模4可逆计数器功能。

3、附加（可课后实现）：实现串行信号110的检测。实验报告重点：(1)~CLR是高优先级别的清零端，在需要的时候清零，因此清零端在不需要的时候应该置1。(2)实验报告撰写应充分体现设计和实验过程 (3)在用逻辑分析仪显示的时候，应将系统时钟和输出信号直接连接到逻辑分析仪，要能从波形上观察到串行110信号及相应的输出信号。